

# Architettura dei calcolatori: High-Performance, Edge e Cloud Computing



UNIVERSITÀ  
DI SIENA  
1240

PROF. SANDRO BARTOLINI e PROF. ROBERTO GIORGI

DIPARTIMENTO DI INGEGNERIA DELL'INFORMAZIONE E  
SCIENZE MATEMATICHE (DIISM)

LAB223 –  
LABORATORIO DI ARCHITETTURA DEI CALCOLATORI

## Attività di ricerca



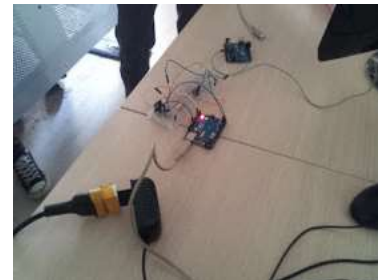
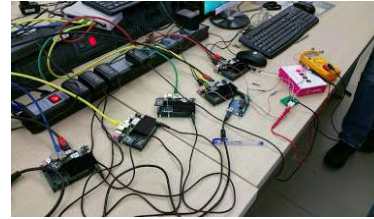
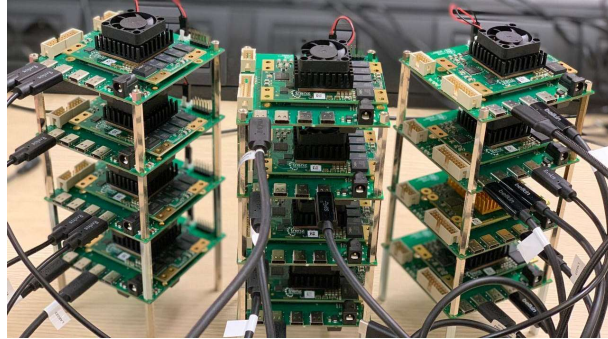
Il laboratorio di architettura dei calcolatori (LAB223) si occupa della ricerca e sviluppo di sistemi hardware/software rivolti a ad alte prestazioni e energeticamente efficienti, negli ambiti:

- Accelerazione e alte prestazioni su piattaforme multi-core, GPU, FPGA
- Modelli di programmazione per la programmabilità e performance portability per applicazioni parallele
- Soluzioni a basso consumo basate su sistemi embedded ad alta efficienza
- Piattaforme distribuite e cluster di sistemi eterogenei

Più specificamente il gruppo ha forti competenze in:

- **Modellazione architetturale** (Core, Memory, Coherency & Consistency, interconnessioni)  
Simulatori architetturali, modellazione basata su FPGAs, simulatori didattici, interazioni con gli effetti del sistema operativo
- **Architetture accelerate**: interfaccia HW-SW, efficienza, programmabilità, parallelismo
- **Reconfigurable Computing**  
architetture basate su paradigma Dataflow e cluster di FPGA: programmabilità e affidabilità
- **Comunicazione fotonica su chip**:  
per CPU multicore, gerarchia di memoria e integrazione su più ampia scala
- **Programmazione parallela ad alte prestazioni per CPU, GPU, FPGA e architetture accelerate**
- **Cybersecurity**: dal punto di vista della architettura dei calcolatori e delle prestazioni/efficienza

Immagini



## Tecnologie e servizi



- **CC-NUMA:** 64-core(x86)+1024GiB RAM, 48-core+256GiB RAM
- **HETEROGENOUS CLUSTER:** about 30 simulation servers (8-core+32GiB) @1-Gbit/s
- **FPGA-BOARDS:** 30+ Zynq-7045, Zynq Ultrascale+ (16-node cluster), PYNQ, NEXYS4, GENESYS2, ALVEO U280 (w/ HBM2)
- **ACCELERATORS:** Maxeler/Groq Dataflow computers, GPUs (TITAN, VOLTA, ...)
- **EMBEDDED BOARDS:** 50+ UDOO-x86, UDOO-ARM, RASPBERRYPI, ARDUINO, ...
- **RISC-V:** U740 based workstation +16GiB RAM

## Applicazioni e collaborazioni



### IN CORSO (2023+):

- collaborazione con CAMPERA ELECTRONICS: sviluppo di libreria Hardware (HDL) per applicazioni AI
- partecipazione in BIREX++ European Digital Innovation Hub (5 universities +7 public institutions +45 enterprises): <https://european-digital-innovation-hubs.ec.europa.eu/edih-catalogue/birex-plus-plus>
- parte della HiPEAC Network of Excellence (High Performance, Edge And Cloud computing): <https://www.hipeac.net/>
- iscrizione in corso per RISC-V Association Membership per lo sviluppo di soluzioni hardware software open-source
- inclusione nei laboratori CINI su Embedded Systems e High-Performance Computing
- Progetto di ricerca e sviluppo con City University, Hong Kong per Huawei R&D, Hong Kong (circa 150k€ per UNISI) sull'interazione con l'architettura del Sistema operativo in vari contesti
- Progetto di ricerca e sviluppo con RFI (circa 110 k€ per UNISI) sullo sviluppo di codice certificato (EN-50128 SIL4) per la traduzione automatica da logica di Sistema e codice C
- Progetto di collaborazione con GTS (ex Thales) (finanziamento di un dottorato) su architetture ad alte prestazioni parallele per la guida autonoma

### ALCUNI PROGETTI CONCLUSI:

- HUAWEI/UNISI (UNISI=250 keuro) (2020-22) R&D project for Huawei R&D, UK  
efficient HW-SW interfacing of accelerator-based architectures and productivity
- AXIOM (UNISI=1000k euro) 2015- 18 <https://www.axiom-project.eu>  
Modular board and software stack for Cyber-Physical Systems (with VIMAR and HERTA-SECURITIES)
- TERAFLUX (UNISI=1300 keuro) 2010-14 <https://teraflux.eu>  
Holistic Dataflow System for the 1000 Billion transistor era (with Microsoft, Intel, HP-Labs, CAPS, Thales)
- ERA: (UNISI=400k euro) 2010-13 Embedded Reconfigurable Architectures  
Reconfigurable VLIW Architecture for Smart Devices (with Evidence, ST-Microelectronics, IBM)
- PHOTONICA (UNISI=140k euro) 2010-14 Integrated photonics in CMPs  
Focusing on last-level cache and cache-coherence implications
- SpaceDys S.r.L.(2023): consultancy activity on the development of high-performance software for automatic space-debris identification for ESA Fly-eye telescopes

### HARDWARE ARTIFACTS

- Gluon board (sviluppo proprietario UNISI) carrier board per costruire cluster di FPGA clusters fino a 255 nodi tramite interconnessioni USB-C 10Gbps e topologie arbitrarie; basata su software stack AXIOM
- RISC-V co-processore (FPGA design) per il support dataflow e software multi-threaded

### SOFTWARE ARTIFACTS

- COTSON2 architectural simulator enhancing HP-labs COTSON for a full-system simulation of multicore (superscalar+coherency), drive, network, devices - <http://cotson.sourceforge.net>
- WebRISC-V: educational software for RISC-V pipeline simulation <https://webriscv.dii.unisi.it>
- Phast library for productive and efficient single-source programming of multi-core CPUs and NVIDIA GPUs: <https://www.phast-library.com>

Per maggiori informazioni



Ufficio trasferimento tecnologico Università di Siena (Liaison Office)

Banchi di Sotto, 55 - 53100 Siena

<https://research.unisi.it/>

E-mail: [liaison@unisi.it](mailto:liaison@unisi.it) - [ricerca@unisi.it](mailto:ricerca@unisi.it)

Per maggiori informazioni



Ufficio Regionale di Trasferimento Tecnologico

Headquarters: Via Luigi Carlo Farini, 8 - 50121 Firenze, FI

E-mail: [urtt@regione.toscana.it](mailto:urtt@regione.toscana.it)

Logo



Regione Toscana

